

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-107365

(43)Date of publication of application : 22.04.1997

(51)Int.Cl. H04L 12/28
H04Q 3/00
H04Q 11/04

(21)Application number : 07-265338

(71)Applicant : NEC CORP

(22)Date of filing : 13.10.1995

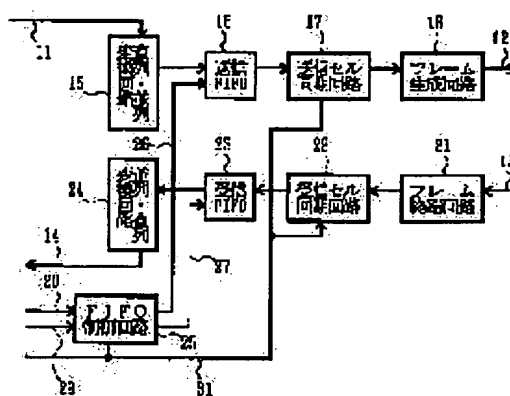
(72)Inventor : INADA HISASHI

(54) ATM INTERFACE FOR TIME DIVISION MULTIPLEX HIGHWAY

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the ATM interface for a time division multiplex highway by which an ATM cell is efficiently sent through the time division multiplex highway.

SOLUTION: An FIFO control circuit 25 stores a time slot number for cell transmission designated from an external device through a bus 31 and provides an output of a transmission gate signal 26 and a reception gate signal 27 in a timing of the time slot. While the transmission gate signal 26 is outputted, data from an outgoing time division multiplex highway 11 are written in a transmission FIFO 16, which sends sequentially cells to an ATM line 12. A cell coming from an ATM line 13 is stored in a respectively FIFO 22 and when the reception gate signal 27 is outputted, the cell is received from the reception FIFO 22 and sent to the incoming time division multiplex highway. A time slot in use is revised depending on traffic to enhance the line utilizing efficiency of the time division multiplex highway.



LEGAL STATUS

[Date of request for examination] 13.10.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2959448

[Date of registration] 30.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2959448号

(45) 発行日 平成11年(1999)10月6日

(24) 登録日 平成11年(1999)7月30日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

D

請求項の数6 (全 15 頁)

(21) 出願番号 特願平7-265338

(22) 出願日 平成7年(1995)10月13日

(65) 公開番号 特開平9-107365

(43) 公開日 平成9年(1997)4月22日

審査請求日 平成7年(1995)10月13日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 稲田 久

東京都港区芝五丁目7番1号 日本電気
株式会社内

(74) 代理人 弁理士 山内 梅雄

審査官 吉田 隆之

最終頁に続く

(54) 【発明の名称】 時分割多重ハイウェイのATMインタフェース装置

1

(57) 【特許請求の範囲】

【請求項1】 非同期転送モードの通信でその伝送単位となるセルを上り時分割多重ハイウェイおよび下りの時分割多重ハイウェイにより伝送する際に用いる連続する複数のタイムスロットが指定されるごとにその開始および終了位置に対応するタイムスロットの番号を保持するタイムスロット番号保持手段と、
前記上り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する上りタイムスロット番号検知手段と、
前記下り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する下りタイムスロット番号検知手段と、
非同期転送モードの通信回線から到来するセルを蓄積する受信セルバッファと、

2

非同期転送モードの通信回線に送出すべきセルを蓄積する送信セルバッファと、
前記上りタイムスロット番号検知手段によって検出されるタイムスロットの番号と前記タイムスロット番号保持手段に保持されている開始位置のタイムスロットの番号が一致してから上りタイムスロット番号検知手段で検出されるタイムスロットの番号とタイムスロット番号保持手段に保持されている終了位置のタイムスロットの番号が一致するまでの間所定の受信ゲート信号を出力する上りタイムスロット番号一致検出手段と、
この上りタイムスロット番号一致検出手段から前記受信ゲート信号が出力されている間前記受信セルバッファからセルを読み出しこれを上り時分割多重ハイウェイに送出するバッファ読出手段と、
前記下りタイムスロット番号検知手段によって検出され

るタイムスロットの番号と前記タイムスロット番号保持手段に保持されている開始位置のタイムスロットの番号が一致してから下りタイムスロット番号検知手段で検出されるタイムスロットの番号とタイムスロット番号保持手段に保持されている終了位置のタイムスロットの番号が一致するまでの間所定の送信ゲート信号を出力する下りタイムスロット番号一致検出手段と、

この下りタイムスロット番号一致検出手段から前記送信ゲート信号が出力されている間伝送されてきたデータを前記下り時分割多重ハイウェイから取り出し前記送信セルバッファに書き込むバッファ書込手段とを具備することを特徴とする時分割多重ハイウェイのATMインタフェース装置。

【請求項2】 非同期転送モードの通信でその伝送単位となるセルを上り時分割多重ハイウェイおよび下りの時分割多重ハイウェイにより伝送する際に用いる任意数のタイムスロットが指定されるごとにそれらのタイムスロットの番号を保持するタイムスロット番号保持手段と、前記上り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する上りタイムスロット番号検知手段と、

前記下り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する下りタイムスロット番号検知手段と、

非同期転送モードの通信回線から到来するセルを蓄積する受信セルバッファと、

非同期転送モードの通信回線に送出すべきセルを蓄積する送信セルバッファと、

前記上りタイムスロット番号検知手段によって検出されたタイムスロットの番号が前記タイムスロット番号保持手段に保持されているいずれかの番号と一致するか否かを検出する上りタイムスロット番号一致検出手段と、

この上りタイムスロット番号一致検出手段によってタイムスロットの番号の一致が検出されたとき前記受信セルバッファからセルを読み出しこれを上り時分割多重ハイウェイに送出するバッファ読出手段と、

前記下りタイムスロット番号検知手段によって検出されたタイムスロットの番号が前記タイムスロット番号保持手段に保持されているいずれかの番号と一致するか否かを検出する下りタイムスロット番号一致検出手段と、

この下りタイムスロット番号一致検出手段によってタイムスロットの番号の一致が検出されたとき伝送されてきたデータを前記下り時分割多重ハイウェイから取り出し前記送信セルバッファに書き込むバッファ書込手段とを具備し、

前記上り時分割多重ハイウェイと前記下り時分割多重ハイウェイは所定の位相差があり、前記上りタイムスロット番号検知手段と前記上りタイムスロット番号一致検出手段の組み合わせまたは前記下りタイムスロット番号検出手段と前記下りタイムスロット番号一致検出手段の組

み合わせのいずれか一方を用いて上りあるいは下り時分割多重ハイウェイの一方の各タイムスロットのタイミングとその番号および保持されている番号との一致を検出し、他方の組み合わせは前記所定の位相差を基に他方の時分割多重ハイウェイについてのそれらを検出することを特徴とする時分割多重ハイウェイのATMインタフェース装置。

【請求項3】 非同期転送モードの通信でその伝送単位となるセルを上り時分割多重ハイウェイおよび下りの時分割多重ハイウェイにより伝送する際に用いる任意数のタイムスロットが指定されるごとにそれらのタイムスロットの番号を非同期転送モードの通信回線における仮想チャンネル別に保持するタイムスロット番号保持手段と、

前記上り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する上りタイムスロット番号検知手段と、

前記下り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する下りタイムスロット番号検知手段と、

非同期転送モードの通信回線から到来するセルを仮想チャンネル別に蓄積する複数の受信セルバッファと、

非同期転送モードの通信回線に送出すべきセルを仮想チャンネル別に蓄積する送信セルバッファと、

前記上りタイムスロット番号検知手段によって検出されたタイムスロットの番号が前記タイムスロット番号保持手段に保持されている番号と一致するか否かを仮想チャンネル別に検出する上りタイムスロット番号一致検出手段と、

30 この上りタイムスロット番号一致検出手段によってタイムスロットの番号の一致が検出されたときその番号に対応する仮想チャンネルの受信セルバッファからセルを読み出しこれを上り時分割多重ハイウェイに送出するバッファ読出手段と、

前記下りタイムスロット番号検知手段によって検出されたタイムスロットの番号が前記タイムスロット番号保持手段に保持されている番号と一致するか否かを仮想チャンネル別に検出する下りタイムスロット番号一致検出手段と、

40 この下りタイムスロット番号一致検出手段によってタイムスロットの番号の一致が検出されたとき伝送されてきたデータを前記下り時分割多重ハイウェイから取り出しその番号に対応する仮想チャンネルの送信セルバッファに書き込むバッファ書込手段とを具備し、

前記上り時分割多重ハイウェイと前記下り時分割多重ハイウェイは所定の位相差があり、前記上りタイムスロット番号検知手段と前記上りタイムスロット番号一致検出手段の組み合わせまたは前記下りタイムスロット番号検出手段と前記下りタイムスロット番号一致検出手段の組

50 み合わせのいずれか一方を用いて上りあるいは下り時分

5

割多重ハイウェイの一方の各タイムスロットのタイミングとその番号および保持されている番号との一致を検出し、他方の組み合わせは前記所定の位相差を基に他方の時分割多重ハイウェイについてのそれらを検出することを特徴とする時分割多重ハイウェイのATMインタフェース装置。

【請求項4】 非同期転送モードの通信でその伝送単位となるセルを上り時分割多重ハイウェイおよび下りの時分割多重ハイウェイにより伝送する際に用いる連続する複数のタイムスロットが指定されるごとにその開始位置および終了位置に対応するタイムスロットの番号を非同期転送モードの通信回線における仮想チャンネル別に保持するタイムスロット番号保持手段と、

前記上り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する上りタイムスロット番号検知手段と、

前記下り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する下りタイムスロット番号検知手段と、

非同期転送モードの通信回線から到来するセルを仮想チャンネル別に蓄積する複数の受信セルバッファと、

非同期転送モードの通信回線に送出すべきセルを仮想チャンネル別に蓄積する送信セルバッファと、

前記上りタイムスロット番号検知手段によって検出されたタイムスロットの番号と前記タイムスロット番号保持手段に保持されている開始位置のタイムスロットの番号が一致してから上りタイムスロット番号検知手段で検出されるタイムスロットの番号とタイムスロット番号保持手段に保持されている終了位置のタイムスロットの番号が一致するまでの間所定の受信ゲート信号を仮想チャンネル別に出力する上りタイムスロット番号一致検出手段と、

この上りタイムスロット番号一致検出手段から前記受信ゲート信号が出力されている間対応する仮想チャンネルの前記受信バッファからセルを読み出しこれを上り時分割多重ハイウェイに送出するバッファ読出手段と、

前記下りタイムスロット番号検知手段によって検出されたタイムスロットの番号と前記タイムスロット番号保持手段に保持されている開始位置のタイムスロット番号が一致してから下りタイムスロット番号検知手段で検出されるタイムスロットの番号とタイムスロット番号保持手段に保持されている終了位置のタイムスロット番号が一致するまでの間所定の送信ゲート信号を仮想チャンネル別に出力する下りタイムスロット番号一致検出手段と、

この下りタイムスロット番号一致検出手段から前記送信ゲート信号が出力されている間伝送されてきたデータを前記下り時分割多重ハイウェイから取り出し対応する仮想チャンネルの前記送信セルバッファに書き込むバッファ書込手段とを具備することを特徴とする時分割多重ハイウェイのATMインタフェース装置。

6

【請求項5】 前記上り時分割多重ハイウェイと前記下り時分割多重ハイウェイは所定の位相差があり、前記上りタイムスロット番号検知手段と前記上りタイムスロット番号一致検出手段の組み合わせまたは前記下りタイムスロット番号検出手段と前記下りタイムスロット番号一致検出手段の組み合わせのいずれか一方を用いて上りあるいは下り時分割多重ハイウェイの一方の各タイムスロットのタイミングとその番号および保持されている番号との一致を検出し、他方の組み合わせは前記所定の位相差を基に他方の時分割多重ハイウェイについてのそれらを検出することを特徴とする請求項1または請求項4記載の時分割多重ハイウェイのATMインタフェース装置。

【請求項6】 前記セルの伝送に用いられるタイムスロットは、非同期転送モードの通信回線におけるセルのトラヒックに応じて上り時分割多重ハイウェイおよび下りの時分割多重ハイウェイにより伝送する際に用いる連続する複数のタイムスロットの開始位置および終了位置に対応するタイムスロットの番号が指定されることを特徴とする請求項1ないし請求項5記載の時分割多重ハイウェイのATMインタフェース装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、非同期転送モード(Asynchronous Transfer Mode、以下ATMと表わす。)の通信回線と既存の時分割多重ハイウェイとを相互接続するための時分割多重ハイウェイのATMインタフェース装置に係わり、特に時分割多重ハイウェイの回線利用効率の向上の図られた時分割多重ハイウェイのATMインタフェース装置に関する。

【0002】

【従来の技術】 非同期転送モードの通信では、セルと呼ばれる比較的小さいパケットを単位に情報の伝送が行われる。ATM通信は、低速度の通信や情報量の少ない通信から高速広帯域の通信まで、通信中であっても帯域を自由に変化させることができる。高速広帯域の通信を行うときには、多数のセルを送出し、低速度の通信を行うときには、セルの送出間隔を長くして少数のセルを送出するようになっている。このようにATM通信では、通信回線内のトラヒックが変化するようになっている。

【0003】 このようなATM通信の回線と、従来からの時分割多重ハイウェイとを相互接続する場合には、ATM回線の最大のトラヒックに対応可能なだけのタイムスロットを固定的に割り当てようになっている。

【0004】 特開平4-68730号公報には、セルによって伝送される情報の種別に応じて帯域圧縮を行い、圧縮後の必要な帯域に応じて時分割多重回線で使用するタイムスロットを割り当てるATMインタフェース装置が開示されている。たとえば、情報の種別が「音声」の場合と、「デジタルデータ」の場合とで帯域圧縮の方

式を変えている。

【0005】特開平2-29196号公報には、呼が発生したときに、必要数のタイムスロットを割り当てる技術が開示されている。この先行技術では空き状態のタイムスロットの番号をポインタによってリンクしたリストを用意し、呼が発生したときに、そのリストの先頭から必要な個数のタイムスロットを割当て、割当てが解除されたときそのタイムスロットの番号をリストの末尾に接続するようになっている。

【0006】

【発明が解決しようとする課題】ATM通信回線のセルを伝送するために時分割多重ハイウェイのタイムスロットを予め固定的に割り当てる場合には、最大のトラヒックに対応できるだけの数を割り当てる必要がある。したがって、ATM回線のトラヒックの低い状態ではセルの伝送に利用されないタイムスロットが多くなり、時分割多重ハイウェイの回線利用効率が悪くなるという問題がある。

【0007】また特開平4-68730号公報のように、セルの情報種別に応じて帯域圧縮を行えば必要なタイムスロットの数を減少させることができる。しかし、圧縮後の必要最大数だけのタイムスロットを割り当てる場合には、トラヒックが低い状態では、やはり使用されないタイムスロットが生じてしまう。また、情報種別に応じた帯域圧縮を行うための回路が必要となり、ATMインタフェース装置の構成が複雑になるという問題がある。

【0008】特開平2-29196号公報に開示されている先行技術では、呼が生じたときにセルを伝送するのに必要なタイムスロットを割り当てているので、時分割多重ハイウェイの回線を効率良く使用することができる。しかしながら、空き状態のタイムスロットのリストを管理する必要があり、ATMインタフェース装置の構成が複雑になるという問題がある。

【0009】そこで本発明の目的は、ATMセルを時分割多重ハイウェイによって効率的に伝送することのできる時分割多重ハイウェイのATMインタフェース装置を提供することにある。

【0010】

【課題を解決するための手段】請求項1記載の発明では、(イ)非同期転送モードの通信でその伝送単位となるセルを上り時分割多重ハイウェイおよび下りの時分割多重ハイウェイにより伝送する際に用いる連続する複数のタイムスロットが指定されるごとにその開始および終了位置に対応するタイムスロットの番号を保持するタイムスロット番号保持手段と、(ロ)上り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する上りタイムスロット番号検知手段と、(ハ)下り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する下りタイム

スロット番号検知手段と、(ニ)非同期転送モードの通信回線から到来するセルを蓄積する受信セルバッファと、(ホ)非同期転送モードの通信回線に送出すべきセルを蓄積する送信セルバッファと、(ヘ)上りタイムスロット番号検知手段によって検出されるタイムスロットの番号とタイムスロット番号保持手段に保持されている開始位置のタイムスロットの番号が一致してから上りタイムスロット番号検知手段で検出されるタイムスロットの番号とタイムスロット番号保持手段に保持されている終了位置のタイムスロットの番号が一致するまでの間所定の受信ゲート信号を出力する上りタイムスロット番号一致検出手段と、(ト)この上りタイムスロット番号一致検出手段から受信ゲート信号が出力されている間受信セルバッファからセルを読み出しこれを上り時分割多重ハイウェイに送出するバッファ読出手段と、(チ)下りタイムスロット番号検知手段によって検出されるタイムスロットの番号とタイムスロット番号保持手段に保持されている開始位置のタイムスロットの番号が一致してから下りタイムスロット番号検知手段で検出されるタイムスロットの番号とタイムスロット番号保持手段に保持されている終了位置のタイムスロットの番号が一致するまでの間所定の送信ゲート信号を出力する下りタイムスロット番号一致検出手段と、(リ)この下りタイムスロット番号一致検出手段から送信ゲート信号が出力されている間伝送されてきたデータを下り時分割多重ハイウェイから取り出し送信セルバッファに書き込むバッファ書込手段とを時分割多重ハイウェイのATMインタフェース装置に具備させている。

【0011】すなわち請求項1記載の発明では、セルの伝送に用いるために指定された任意数の連続するタイムスロットの開始位置および終了位置の番号を保持し、開始位置から終了位置の間の番号の下り時分割多重ハイウェイのタイムスロットからデータを取り出しこれを送信バッファに書き込んでいる。またATM回線から受信したセルを受信セルバッファに蓄積しておき、保持されている開始位置から終了位置の間のタイムスロットのタイミングで蓄積されているセルを読み出し、これに対応するタイムスロットを用いて上り時分割多重ハイウェイに送出している。これにより、指定されたタイムスロットを用いてセルを伝送できる。たとえば、セルのトラヒックに応じてタイムスロットの数を変更して指定すれば、時分割多重ハイウェイの回線利用効率を向上させることができる。さらに、タイムスロットの開始位置と終了位置だけを保持し、それらの一致だけを検出すればよいので、装置の構成を簡略化することができる。

【0012】請求項2記載の発明では、(イ)非同期転送モードの通信でその伝送単位となるセルを上り時分割多重ハイウェイおよび下りの時分割多重ハイウェイにより伝送する際に用いる任意数のタイムスロットが指定されるごとにそれらのタイムスロットの番号を保持するタ

タイムスロット番号保持手段と、(ロ) 上り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する上りタイムスロット番号検知手段と、(ハ) 下り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する下りタイムスロット番号検知手段と、(二) 非同期転送モードの通信回線から到来するセルを蓄積する受信セルバッファと、(ホ) 非同期転送モードの通信回線に送出すべきセルを蓄積する送信セルバッファと、(ヘ) 上りタイムスロット番号検知手段によって検出されたタイムスロットの番号がタイムスロット番号保持手段に保持されているいずれかの番号と一致するか否かを検出する上りタイムスロット番号一致検出手段と、(ト) この上りタイムスロット番号一致検出手段によってタイムスロットの番号の一致が検出されたとき受信セルバッファからセルを読み出しこれを上り時分割多重ハイウェイに送出するバッファ読出手段と、(チ) 下りタイムスロット番号検知手段によって検出されたタイムスロットの番号がタイムスロット番号保持手段に保持されているいずれかの番号と一致するか否かを検出する下りタイムスロット番号一致検出手段と、(リ) この下りタイムスロット番号一致検出手段によってタイムスロットの番号の一致が検出されたとき伝送されてきたデータを下り時分割多重ハイウェイから取り出し送信セルバッファに書き込むバッファ書込手段とを時分割多重ハイウェイの A T M インタフェース装置に具備させ、上り時分割多重ハイウェイと下り時分割多重ハイウェイは所定の位相差があり、上りタイムスロット番号検知手段と上りタイムスロット番号一致検出手段の組み合わせまたは下りタイムスロット番号検出手段と下りタイムスロット番号一致検出手段の組み合わせのいずれか一方を用いて上りあるいは下り時分割多重ハイウェイの一方の各タイムスロットのタイミングとその番号および保持されている番号との一致を検出し、他方の組み合わせは所定の位相差を基に他方の時分割多重ハイウェイについてのそれらを検出することを特徴としている。

【0013】すなわち請求項 2 記載の発明では、セルの伝送に用いるために指定された任意数のタイムスロットの番号を保持し、下り時分割多重ハイウェイのこれらの番号に対応するタイムスロットからデータを取り出しこれを送信バッファに書き込んでいる。また A T M 回線から受信したセルを受信セルバッファに蓄積しておき、保持されている番号と一致するタイムスロットのタイミングで蓄積されているセルを読み出し、これを対応するタイムスロットを用いて上り時分割多重ハイウェイに送出している。さらに、タイムスロットのタイミングおよびその番号と、保持されているタイムスロットの番号との一致を上り時分割多重ハイウェイあるいは下り時分割多重ハイウェイの位相差に応じて他方の時分割多重ハイウェイに対応するタイミングや番号の一致を検出して

る。これにより、指定されたタイムスロットを用いてセルを伝送でき、装置の構成を大幅に簡略化することができる。

【0014】請求項 3 記載の発明では、(イ) 非同期転送モードの通信でその伝送単位となるセルを上り時分割多重ハイウェイおよび下りの時分割多重ハイウェイにより伝送する際に用いる任意数のタイムスロットが指定されるごとにそれらのタイムスロットの番号を非同期転送モードの通信回線における仮想チャンネル別に保持するタイムスロット番号保持手段と、(ロ) 上り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する上りタイムスロット番号検知手段と、(ハ) 下り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する下りタイムスロット番号検知手段と、(二) 非同期転送モードの通信回線から到来するセルを仮想チャンネル別に蓄積する複数の受信セルバッファと、(ホ) 非同期転送モードの通信回線に送出すべきセルを仮想チャンネル別に蓄積する送信セルバッファと、(ヘ) 上りタイムスロット番号検知手段によって検出されたタイムスロットの番号がタイムスロット番号保持手段に保持されている番号と一致するか否かを仮想チャンネル別に検出する上りタイムスロット番号一致検出手段と、(ト) この上りタイムスロット番号一致検出手段によってタイムスロットの番号の一致が検出されたときその番号に対応する仮想チャンネルの受信セルバッファからセルを読み出しこれを上り時分割多重ハイウェイに送出するバッファ読出手段と、(チ) 下りタイムスロット番号検知手段によって検出されたタイムスロットの番号がタイムスロット番号保持手段に保持されている番号と一致するか否かを仮想チャンネル別に検出する下りタイムスロット番号一致検出手段と、(リ) この下りタイムスロット番号一致検出手段によってタイムスロットの番号の一致が検出されたとき伝送されてきたデータを下り時分割多重ハイウェイから取り出しその番号に対応する仮想チャンネルの送信セルバッファに書き込むバッファ書込手段とを時分割多重ハイウェイの A T M インタフェースに具備させ、上り時分割多重ハイウェイと下り時分割多重ハイウェイは所定の位相差があり、上りタイムスロット番号検知手段と上りタイムスロット番号一致検出手段の組み合わせまたは下りタイムスロット番号検出手段と下りタイムスロット番号一致検出手段の組み合わせのいずれか一方を用いて上りあるいは下り時分割多重ハイウェイの一方の各タイムスロットのタイミングとその番号および保持されている番号との一致を検出し、他方の組み合わせは所定の位相差を基に他方の時分割多重ハイウェイについてのそれらを検出することを特徴としている。

【0015】すなわち請求項 3 記載の発明では、送信セルバッファおよび受信セルバッファを A T M 回線の仮想チャンネルごとに用意している。また仮想チャンネル別

11

に指定されたタイムスロットの番号を保持し、タイムスロットおよびセルバッファを仮想チャンネルごとに異なるものを用いている。さらに、タイムスロットのタイミングおよびその番号と、保持されているタイムスロットの番号との一致を上り時分割多重ハイウェイあるいは下り時分割多重ハイウェイの位相差に応じて他方の時分割多重ハイウェイに対応するタイミングや番号の一致を検出している。これにより、時分割多重ハイウェイによって複数の仮想チャンネルを独立に伝送するとともに、装置の構成を大幅に簡素化している。

【0016】請求項4記載の発明では、(イ) 非同期転送モードの通信でその伝送単位となるセルを上り時分割多重ハイウェイおよび下りの時分割多重ハイウェイにより伝送する際に用いる連続する複数のタイムスロットが指定されるごとにその開始位置および終了位置に対応するタイムスロットの番号を非同期転送モードの通信回線における仮想チャンネル別に保持するタイムスロット番号保持手段と、(ロ) 上り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する上りタイムスロット番号検出手段と、(ハ) 下り時分割多重ハイウェイにおける各タイムスロットのタイミングとその番号を逐次検出する下りタイムスロット番号検出手段と、(ニ) 非同期転送モードの通信回線から到来するセルを仮想チャンネル別に蓄積する複数の受信セルバッファと、(ホ) 非同期転送モードの通信回線に送出すべきセルを仮想チャンネル別に蓄積する送信セルバッファと、(ヘ) 上りタイムスロット番号検出手段によって検出されたタイムスロットの番号とタイムスロット番号保持手段に保持されている開始位置のタイムスロットの番号が一致してから上りタイムスロット番号検出手段で検出されるタイムスロットの番号とタイムスロット番号保持手段に保持されている終了位置のタイムスロットの番号が一致するまでの間所定の受信ゲート信号を仮想チャンネル別に出力する上りタイムスロット番号一致検出手段と、(ト) この上りタイムスロット番号一致検出手段から受信ゲート信号が出力されている間対応する仮想チャンネルの受信バッファからセルを読み出しこれを上り時分割多重ハイウェイに送出するバッファ読出手段と、(チ) 下りタイムスロット番号検出手段によって検出されたタイムスロットの番号とタイムスロット番号保持手段に保持されている開始位置のタイムスロット番号が一致してから下りタイムスロット番号検出手段で検出されるタイムスロットの番号とタイムスロット番号保持手段に保持されている終了位置のタイムスロット番号が一致するまでの間所定の送信ゲート信号を仮想チャンネル別に出力する下りタイムスロット番号一致検出手段と、(リ) この下りタイムスロット番号一致検出手段から送信ゲート信号が出力されている間伝送されてきたデータを下り時分割多重ハイウェイから取り出し対応する仮想チャンネルの送信セルバッファに書き込むバッファ

12

書込手段とを時分割多重ハイウェイのATMインタフェース装置に具備させている。

【0017】すなわち請求項4記載の発明では、送信セルバッファおよび受信セルバッファをATM回線の仮想チャンネルごとに用意している。また仮想チャンネル別に指定されたタイムスロットの番号を保持し、タイムスロットおよびセルバッファを仮想チャンネルごとに異なるものを用いている。これにより、時分割多重ハイウェイによって複数のチャンネルを独立に伝送することができる。また、セルの伝送に用いるために指定された任意数の連続するタイムスロットの開始位置および終了位置の番号を保持し、開始位置から終了位置の間のタイムスロットを用いてセルの送受信を行うことで、それらの一致だけを検出するだけでよいので装置の構成を大幅に簡略化することができる。

【0018】請求項5記載の発明では、請求項1または請求項4記載の時分割多重ハイウェイで、上り時分割多重ハイウェイと下り時分割多重ハイウェイは所定の位相差があり、上りタイムスロット番号検出手段と上りタイムスロット番号一致検出手段の組み合わせまたは下りタイムスロット番号検出手段と下りタイムスロット番号一致検出手段の組み合わせのいずれか一方を用いて上りあるいは下り時分割多重ハイウェイの一方の各タイムスロットのタイミングとその番号および保持されている番号との一致を検出し、他方の組み合わせは所定の位相差を基に他方の時分割多重ハイウェイについてのそれらを検出することを特徴としている。

【0019】すなわち請求項5記載の発明では、タイムスロットのタイミングおよびその番号と、保持されているタイムスロットの番号との一致を上り時分割多重ハイウェイあるいは下り時分割多重ハイウェイのいずれか一方について検出し、上りと下りの時分割多重ハイウェイの位相差に応じて他方の時分割多重ハイウェイに対応するタイミングや番号の一致を検出している。これにより、装置の構成を大幅に簡略化することができる。

【0020】請求項6記載の発明では、請求項1ないし請求項5記載の時分割多重ハイウェイのATMインタフェース装置で、セルの伝送に用いられるタイムスロットは、非同期転送モードの通信回線におけるセルのトラヒックに応じて上り時分割多重ハイウェイおよび下りの時分割多重ハイウェイにより伝送する際に用いる連続する複数のタイムスロットの開始位置および終了位置に対応するタイムスロットの番号が指定されることを特徴としている。

【0021】すなわち請求項6記載の発明では、タイムスロットはセルのトラヒックに応じて連続する複数のタイムスロットの開始位置および終了位置に対応するタイムスロットの番号が指定される。これにより、トラヒックに応じて効率良く時分割多重ハイウェイを利用することができる。

【0022】

【発明の実施の形態】図1は、本発明の一実施の形態における時分割多重ハイウェイのATMインタフェース装置の構成の概要を表わしたものである。この装置は、下り時分割多重ハイウェイ11の任意数の所定のタイムスロットにより伝送されてくるデータを抽出し、これをセルにフォーマット変換して下りATM回線12に順次送り出す機能を備えている。また、上りATM回線13から到来するセルを抽出し、これを下り時分割多重ハイウェイと同一番号のタイムスロットを用いて上り時分割多重ハイウェイに送出する機能を備えている。時分割多重ハイウェイのATMインタフェース装置のことを、以後、ATMインタフェース装置と表わす。

【0023】上り、および下り時分割多重ハイウェイ14、11はそれぞれ2Mbps（メガ・ビット・パー・セカンド）の帯域を備えており、シリアル形式でデータを伝送するようになっている。下り時分割多重ハイウェイ11を通じて到来するデータは直列-並列変換回路15に入力されている。直列-並列変換回路15は、シリアル形式のデータを所定ビット数のパラレル形式のデータに変換する。直列-並列変換回路15の出力は、下りATM回線に送出すべきデータを蓄積するための送信FIFO（First In First Out）16に入力される。送信FIFOは、先入れ先出し形式のバッファメモリである。送信FIFO16から読み出されたデータは、送信セル同期回路17に入力される。

【0024】送信セル同期回路17は、下りATM回線12にセルを送出すべきタイミングをとってセル同期を行うとともに、セルのヘッダ部に付加されている仮想バス識別子（VPI）および仮想チャンネル識別子（VCI）を宛先に合わせて変換することを行う回路である。送信セル同期回路17から出力されるデータはフレーム生成回路18に入力されている。フレーム生成回路18は、送信セル同期回路17からのデータをATM伝送路上のフレームフォーマットに変換して下りATM回線12に送出することを行う。

【0025】上りATM回線13は、フレーム終端回路21に入力されている。フレーム終端回路21は、ATM伝送路を終端してセルを抽出する機能を有している。受信セル同期回路22は、セル同期をとる共に仮想バス識別子および仮想チャンネル識別子の変換処理を行う。受信セル同期回路22から出力されるセルは、受信バッファとしての受信FIFO23に順次入力され、蓄積される。受信FIFO23の出力は、並列-直列変換回路24に入力されている。並列-直列変換回路24は、受信FIFO23から読み出されたパラレル形式のデータをシリアル形式のデータに変換し、変換後のシリアルデータを上り時分割多重ハイウェイに送出する機能を備えている。

【0026】FIFO制御回路25は、送信FIFO1

6への書き込みタイミングおよび受信FIFO23からの読み出しタイミングを制御する回路である。FIFO制御回路25は、下り時分割多重ハイウェイから到来したデータを送信FIFO16に書き込むべきことを表わした送信ゲート信号26を出力する。また、受信FIFO23からセルを読み出すべきタイミングを表わした受信ゲート信号27を出力する。

【0027】FIFO制御回路25には、時分割多重ハイウェイ側からそのフレームの先頭位置を識別するためのフレーム同期信号28と、クロック信号29が入力されている。また、FIFO制御装置25には時分割多重ハイウェイのタイムスロットの中でATMセルの伝送に利用すべきタイムスロットの番号を設定する図示しない外部の制御装置からその番号や各種の制御情報を受け取るため入出力バス31が接続されている。入出力バス31は、送信セル同期回路17および受信セル同期回路22にも接続されている。

【0028】図2は、図1に示したFIFO制御回路の構成の概要を表わしたものである。この回路は、時分割多重ハイウェイのタイムスロットの番号を計数するカウンタ41と、セルを伝送すべき連続する複数のタイムスロットのうち開始位置と終了位置のタイムスロット番号を記憶する第1および第2のレジスタ42、43を備えている。第1の一致検出回路44は、カウンタ41の出力する計数値、すなわち時分割多重ハイウェイ上でのタイムスロットの番号と、第1のレジスタ42に記憶されている開始位置のタイムスロット番号との一致を検出する回路である。第2の一致検出回路45は、カウンタ41の出力する計数値と、第2のレジスタ43に記憶されている終了位置のタイムスロットの番号との一致を検出する回路である。第1および第2の一致検出回路44、45は一致を検出したとき一致信号46、一致信号47をそれぞれ出力するようになっている。

【0029】第1の一致検出回路44の出力する一致信号46は、第1のフリップフロップ回路48にそのセット信号として入力されている。一方、第2の一致検出回路45の出力一致信号47は、リセット信号として第1のフリップフロップ回路48に入力されている。第1のフリップフロップ回路48の出力は、図1に示した送信FIFO16にその書き込みのタイミングを制御する送信ゲート信号26として入力される。第1のフリップフロップ回路48の出力は、第2のフリップフロップ回路49に入力される。第2のフリップフロップ回路49は、第1のフリップフロップ回路48の出力を、1つのタイムスロットの半分の時間に相当する時間だけ遅延させた信号を出力するようになっている。第2のフリップフロップ回路49の出力信号は、図1に示した受信FIFO23に受信ゲート信号27として入力されている。

【0030】図3は、図1に示したATMインタフェース装置を接続した時分割交換機の構成を表わしたもので

15

ある。時分割交換機は、時分割スイッチ 5 1 と ATM インタフェース装置 5 2、5 3 と、交換機全体の制御を行う中央制御装置 5 4 とから構成されている。ATM インタフェース装置 5 2、5 3 はそれぞれ ATM 回線 5 5、5 6 と接続されており、図示しない端末装置と接続されている。ATM インタフェース装置 5 2 と ATM インタフェース装置 5 3 の間は、時分割多重ハイウェイ 5 7 により各種データの伝送が行われる。時分割スイッチ 5 1、ATM インタフェース装置 5 2、5 3 はそれぞれ中央制御装置 5 4 との間で制御信号 5 8 を受渡しているように

【0031】中央制御装置 5 4 は、図示しない保守端末からの指示により、時分割多重ハイウェイでセルの伝送に利用するタイムスロットの番号を、ATM インタフェース装置 5 2、5 3 および時分割スイッチ 5 1 に設定する。また、予め設定された時刻に、その時刻に対応して予め指定されているタイムスロットの番号を ATM インタフェース装置 5 2、5 3 および時分割スイッチに設定する。たとえば、セルのトラヒックが、曜日や時間帯に応じてある程度規則的に変化する場合には、曜日や時間帯ごとに予め必要数のタイムスロット番号を中央制御装置 5 4 に登録しておく。中央制御装置 5 4 は、これに従って設定された時刻に ATM インタフェース装置 5 2、5 3 および時分割スイッチにセルの伝送に使用するタイムスロットの番号を通知する。これにより、曜日や各時間帯のトラヒックに応じた数のタイムスロットが割り当てられ、効率よく時分割多重ハイウェイを使用することができる。

【0032】次に、ATM インタフェース装置の動作を説明する。

【0033】図 4 は、図 1 に示した ATM インタフェース装置の各部における信号の状態を表わしたものである。ここでは、2 Mbps の帯域を有する時分割多重ハイウェイのうち、最大 768 Kbps の待機的情報を時分割スイッチを経由して伝送する場合を例にして説明する。時分割多重ハイウェイの 1 つのフレームは 32 のタイムスロットから構成されており、各タイムスロットには“0”～“31”までの番号が割り付けられている。各タイムスロットは時分割多重ハイウェイのチャンネルに対応している。

【0034】下り時分割多重ハイウェイのデータ（同図 a）と、上り時分割多重ハイウェイのデータ（同図 b）とは、1 つのタイムスロットの半分の周期だけそのタイミングがずれている。時分割多重ハイウェイ側からはその制御信号としてフレームの開始位置を表わしたフレー

16

ム同期信号（同図 c）と、各タイムスロットの期間がその周期になっているクロック信号（同図 d）が供給されている。フレーム同期信号およびクロック信号は、下り時分割多重ハイウェイに対応するものである。

【0035】図 2 に示した FIFO 制御回路のカウンタ 4 1 には、フレーム同期信号 2 8 が計数値を初期化するリセット信号として入力されている。また、クロック信号 2 9 は、計数値をインクリメントするためのクロック信号としてカウンタ 4 1 に入力されている。このため、カウンタ 4 1 の計数値（図 4 e）は、下り時分割多重ハイウェイのタイムスロット番号と一致する値を表わすことになる。

【0036】いま、帯域が 2 Mbps の時分割多重ハイウェイの有する 32 個のチャンネルのうち第 2 チャンネルから第 7 チャンネルまでの 6 つの連続するタイムスロットを用いて ATM セルを伝送するものとする。この場合には、セルを伝送するチャンネルの開始位置を表わしたタイムスロットの番号である開始タイムスロット番号として“2”が、たとえば図 3 に示した中央制御装置 5 4 から図 2 に示した FIFO 制御回路の第 1 のレジスタ 4 2 に設定される。また、セルを伝送するチャンネルの終了位置を表わしたタイムスロットの番号である終了タイムスロット番号として“8”が、第 2 のレジスタ 4 3 に設定される。ここで、終了位置を表わす終了タイムスロット番号が、セルを伝送する終端のタイムスロットの番号よりも“1”大きい値になっている。これは、カウンタ 4 1 の計数値が変化し直後に送信あるいは受信 FIFO へのゲート信号の値が変化するためである。

【0037】第 1 の一致検出回路 4 4 は、第 1 のレジスタ 4 2 に記憶されている値にカウンタ 4 1 の計数値が“変化したとき、すなわち、計数値が“2”に変化したとき一致信号 4 6 を出力して第 1 のフリップフロップ回路 4 8 をセットする。また、第 2 の一致検出回路 4 5 は、第 2 のレジスタ 4 3 に記憶されている値である“8”にカウンタ 4 1 の計数値が変化し直後一致信号 4 7 を出力し第 1 のフリップフロップ回路 4 8 をリセットする。したがって、第 1 のフリップフロップ回路 4 8 から出力される送信ゲート信号（図 4 f）は、下り時分割多重ハイウェイの第 2 のタイムスロットの開始時点から第 7 のタイムスロットの終了する時点までの間、ハイ状態になる。第 2 のフリップフロップ回路 4 9 の出力は、第 1 のフリップフロップ回路 4 8 の出力を 1 つのタイムスロットの半分の時間だけ遅延させたものである。このため、受信ゲート信号（図 4 g）は、上り時分割多重ハイウェイの第 2 のタイムスロットの開始時点から第 7 のタイムスロットの終了する時点までの間、ハイ状態になる。

【0038】図 1 に示した送信 FIFO 1 6 には、図 4（f）に示した送信ゲート信号がハイ状態の間、直列ー並列変換回路 1 1 によってパラレル形式に変化された後

の下り時分割多重ハイウェイの第2～第7のタイムスロットのデータが書き込まれる。送信FIFO16に蓄積されているデータは、図1に示した送信セル同期回路17およびフレーム生成回路18により、順次ATM回線に送出される。一方、ATM回線から受信し、受信FIFO23に蓄積されているセルは、図4(g)に示した受信ゲート信号がハイ状態の期間に読み出され、並列-直列変換回路24でシリアル形式に変換された後、第2～第7のタイムスロットの間、上り時分割多重ハイウェイのデータとして送出される。この結果、768Kbpsの帯域を有するATMセルを時分割多重ハイウェイを介して伝送することができる。

【0039】次に、トラヒックが変化し、ATMセルを伝送するために1024Kbpsの帯域が必要になった場合の動作を説明する。

【0040】トラヒックの変化は、図3に示した中央制御装置54によって把握される。たとえば、ATM回線に接続されている端末からの帯域変更要求や、実際にATMインタフェースに到達しているセルの受信状況を基にして中央制御装置54はATM回線におけるトラヒックの変化を認識する。ここでは、1024Kbpsの帯域を確保するためには、8個のチャンネルを確保している。中央制御装置54は、第2チャンネル～第9チャンネルまでを割り当てるために、終了タイムスロットの番号を“10”に変更するための制御信号を、ATMインタフェース装置および時分割スイッチに送る。これを受けてATMインタフェース装置のFIFO制御回路の第2のレジスタ43の値が“8”から“10”に書き換えられる。

【0041】図5は、終了タイムスロット番号が変更された後のATMインタフェース装置の各部における信号の状態を表わしたものである。下り時分割多重ハイウェイのデータ(同図a)、上り時分割多重ハイウェイのデータ(同図b)、およびフレーム同期信号(同図c)、クロック信号(同図d)、カウンタの計数値(同図e)はそれぞれ図4に示したものと同一であり、これらの説明を省略する。開始タイムスロット番号の記憶されているFIFO制御回路の第1のレジスタ42の値は“2”のままであるので、第1の一致検出回路44は、下り時分割多重ハイウェイの第2のタイムスロットの開始するタイミングで一致信号46を出力する。

【0042】一方、終了タイムスロット番号の記憶されている第2のレジスタの値は“10”に変更されたので、第2の一致検出回路45は、下り時分割多重ハイウェイの第10タイムスロットの開始するタイミングで一致信号47を出力する。したがって、第1のフリップフロップ回路48は、下り時分割多重ハイウェイの第2のタイムスロットの開始時点から第10タイムスロットの開始時点、すなわち第9タイムスロットの終了直後までの間、送信ゲート信号(図5f)をハイ状態にする。ま

た第2のフリップフロップ回路49は、半周期おくれて出力されるので、丁度、上り時分割多重ハイウェイの第2タイムスロットの開始時点から第9タイムスロットの終了直後までの間、受信ゲート信号(同図g)を出力する。

【0043】こうして8個のタイムスロットがセルの伝送に割り当てられることにより、1024Kbpsの帯域のATMセルを時分割多重ハイウェイを通じて伝送することができる。このように必要な帯域に応じて割り当てるタイムスロットの数を変更すれば、時分割多重ハイウェイの有する伝送能力以内においてATMセルを効率良く伝送することができる。

【0044】第1の変形例

【0045】これまで説明した実施の形態では、開始タイムスロット番号と終了タイムスロット番号によって連続するタイムスロットをセルの伝送用に割り当てたが、第1の変形例では、任意の番号のタイムスロットを任意の数だけセルの伝送に割り当てることができるようになっている。

【0046】図6は、第1の変形例におけるFIFO制御回路の構成の概要を表わしたものである。第1の変形例における他の構成部分は図1に示したものと同一であるのでその説明を省略する。また、図2に示したFIFO制御回路と同一の部分には同一の符号を付してあり、それらの説明を適宜省略する。第1～第nのレジスタ61_i～61_nはそれぞれタイムスロットの番号を記憶する。第1の一致検出回路62_i～第nの一致検出回路62_i～62_nはそれぞれ対応するレジスタに保持されているタイムスロット番号とカウンタ41の計数値との一致を検出する。第1～第nの一致検出回路62_i～62_nは、それぞれ一致を検出している間、一致信号63_i～63_nを出力するようになっている。

【0047】オア回路64には、各一致検出回路の出力する一致信号63_i～63_nが入力されている。オア回路64の出力信号は、図1に示した送信FIFO16にその書き込みのタイミングを制御する送信ゲート信号26として入力される。オア回路64の出力信号は、第2のフリップフロップ回路49に入力されている。第2のフリップフロップ回路49は、オア回路64の出力を、1つのタイムスロットの半分の時間に相当する時間だけ遅延させた信号を出力する。第2のフリップフロップ回路49の出力信号は、図1に示した受信FIFO23に受信ゲート信号27として入力される。

【0048】カウンタ41は、各タイムスロットの期間中、その番号に対応する計数値を出力するので、各一致検出回路62_i～62_nはそれぞれ対応するレジスタの保持する番号のタイムスロットの開始時点から終了時点までの間、一致信号63_i～63_nを出力する。このとき一致信号はそれぞれハイレベルになるので、オア回路64の出力は、いずれかの一致信号が出力されている間

ハイレベルになる。

【0049】図7は、図6に示したFIFO制御回路における各部の信号の状態を表わしたものである。下り時分割多重ハイウェイのデータ（同図a）、上り時分割多重ハイウェイのデータ（同図b）、フレーム同期信号

（同図c）、クロック信号（同図d）およびカウンタの計数値（同図e）はそれぞれ図5に示したものと同一であるので、それらの説明を省略する。この図の例は、レジスタの数が6個で、これらにタイムスロット番号として“1”、“3”、“4”、“6”、“7”、“8”が設定されている。

【0050】これら値に対応するタイムスロットの期間に各一致検出回路から一致信号が出力される。オア回路64の出力する送信ゲート信号（同図f）は、“下り時分割多重ハイウェイの“1”、“3～4”、“6～9”のタイムスロットの期間にハイレベルになる。また第2のフリップフロップ回路49の出力する受信ゲート信号（同図g）は、上り時分割多重ハイウェイのこれらのタイムスロットの期間にハイレベルになる。

【0051】第2の変形例

【0052】第2の変形例のATMインタフェース装置は、時分割多重ハイウェイによってATM回線の複数の仮想チャンネルを伝送することができるようになっている。ATM回線は、物理的に同一の通信路に複数の仮想的なチャンネルを設けることができるようになっている。

【0053】図8は、複数の仮想チャンネルに対応することのできるATMインタフェース装置の構成の概要を表わしたものである。図1に示したATMインタフェース装置と同一の部分には同一の符号を付してあり、それらの説明を適宜省略する。この例では時分割多重ハイウェイはパラレル形式で信号の伝送を行うようになっている。したがって、図1に示した直列-並列変換回路および並列-直列変換回路は存在しない。また、時分割多重ハイウェイは、1つにチャンネル（タイムスロット）が64Kbpsの帯域を有しており、768チャンネルが時分割多重されている。したがって、64Kbps×768ch、すなわち49.152Mbpsの帯域を備えている。

【0054】下り時分割多重ハイウェイ71は、パラレル形式のデータをパラレルのまま保持するレジスタ72に入力されている。レジスタ72の出力は第1～第8の送信FIFO73₁～73₈にそれぞれ入力されている。ここでは、8個のFIFOを用意して8本の仮想チャンネルに対応するようになっている。レジスタ72に保持されたデータを蓄積する送信FIFOは択一的に切り換えられる。第1～第8の送信FIFOの出力は共に送信セル同期回路16に入力されている。送信セル同期回路16は、これら8つの送信FIFOのうちデータの蓄積されているものの中から1つを巡回的に選択してデ

ータを読み出すようになっている。なお、仮想チャンネルの優先度等を基に送信FIFOを選択することもある。

【0055】受信セル同期回路22には、第1～第8の受信FIFO74₁～74₈が接続されている。受信セル同期回路22の出力するセルはその仮想チャンネルに対応した受信FIFOに蓄積される。第1～第8の受信FIFO74₁～74₈の出力はともにデータをパラレル形式のまま保持するレジスタ75と接続されている。データは第1～第8の受信FIFO74₁～74₈から択一的に読み出され、その値がレジスタ75に保持されるようになっている。レジスタ75の出力は上り時分割多重ハイウェイに順次送出される。

【0056】FIFO制御回路76は、第1～第8の送信ゲート信号77₁～77₈と、第1～第8の受信ゲート信号78₁～78₈を出力するようになっている。これらゲート信号は対応する送信あるいは受信FIFOに入力されている。このように仮想チャンネルごとに送信FIFO、受信FIFOを用意することによって複数の仮想チャンネルを有するATM回線と時分割多重ハイウェイとの間をインタフェースしている。

【0057】図9は、図8に示したFIFO制御回路の構成の概要を表わしたものである。図2と同一の部分には同一の符号を付してある。カウンタ41には、フレーム同期信号28とクロック信号29が入力されている。カウンタ41は、下り時分割多重ハイウェイにおける各タイムスロットのタイミングに合わせて、そのタイムスロット番号を計数するようになっている。カウンタ41の出力する計数値は、第1～第16の一致検出回路81₁～81₁₆にそれぞれ入力されている。

【0058】セルの伝送されるタイムスロット番号を記憶するための第1～第16のレジスタ82₁～82₁₆には、入出力バス31が接続されている。タイムスロット番号は入出力バス31を通じて各レジスタ81に設定される。第1～第16のレジスタ82₁～82₁₆の出力値は対応する一致検出回路81₁～81₁₆に入力されている。一致検出回路81₁～81₁₆は、対応するレジスタに設定されているタイムスロット番号とカウンタ41の出力する計数値が一致したとき、ハイレベルの一致信号を出力するようになっている。

【0059】第1の一致検出回路81₁の出力する一致信号はフリップフロップ回路83₁にセット信号として入力されている。また第2の一致検出回路81₂の出力する一致信号はフリップフロップ回路83₁のリセット信号として入力される。第3の一致検出回路の出力はセット信号として、第4の一致検出回路の出力はリセット信号としてフリップフロップ回路83₂に入力されている。以下同様に、奇数番号の一致検出回路の出力はセット信号として、偶数番号の一致検出回路の出力はリセット信号としてフリップフロップ回路83₃～83₈にそ

れぞれ入力されている。フリップフロップ回路 8 3₁ ~ 8 3₈ の各出力は、第 1 ~ 第 8 の送信ゲート信号 7 7₁ ~ 7 7₈ として対応する送信 F I F O に入力される。

【0060】フリップフロップ回路 8 3₁ ~ 8 3₈ の出力信号は、フリップフロップ回路 8 4₁ ~ 8 4₈ にそれぞれ入力され、タイムスロットの半周期分だけ遅延される。フリップフロップ回路 8 4₁ ~ 8 4₈ の出力信号は、第 1 ~ 第 8 の受信ゲート信号 7 8₁ ~ 7 8₈ として対応する受信 F I F O に入力される。このように F I F O 制御回路は、送信ゲート信号および受信ゲート信号を生成する回路を 8 組備えている。ここで、第 1 の仮想チャンネルのデータが、第 1 2 ~ 第 1 7 のタイムスロットによって伝送され、第 2 の仮想チャンネルのデータが第 1 8 1 ~ 第 3 8 3 のタイムスロットによって伝送されるものとする。このとき、予め入出力バス 3 1 を通じて、第 1 のレジスタ 8 2₁ にタイムスロット番号 “1 2” が、第 2 のレジスタ 8 2₂ にタイムスロット番号 “1 8” が、また第 3 のレジスタ 8 2₃ に “1 8 1” が、第 4 のレジスタ 8 2₄ に “3 8 4” がそれぞれ設定される。

【0061】図 10 は、図 9 に示した F I F O 制御回路の各部の信号状態を表わしたものである。下り時分割多重ハイウェイのデータ（同図 a）は、7 6 8 個のタイムスロットを備えており、図中の番号はタイムスロットの番号を表わしている。第 1 のレジスタ 8 2₁ には、タイムスロット番号 “1 2” が設定されているので、下り時分割多重ハイウェイの第 1 2 のタイムスロットの開始時点で、フリップフロップ回路 8 3₁ がセットされる。また、第 2 のレジスタ 8 2₂ にはタイムスロット番号 “1 8” が設定されているので、第 1 7 タイムスロットの終了した直後にフリップフロップ回路 8 3₁ がリセットされる。

【0062】したがってフリップフロップ回路 8 3₁ の出力する第 1 の送信ゲート信号（同図 b）は、第 1 2 タイムスロットの開始時点から第 1 7 タイムスロットの終了時点までの間、ハイレベルになる。第 1 の受信ゲート信号（同図 c）は、第 1 の送信ゲート信号に比べて、タイムスロットの半周期分だけ遅れている。このため、上り時分割多重ハイウェイの第 1 2 タイムスロットの開始時点から第 1 7 タイムスロットの終了直後までハイレベルになっている。また、第 3 のレジスタには “1 8 1” が設定されているので、フリップフロップ回路 8 3₂ は下り時分割多重ハイウェイの第 1 8 1 のタイムスロットの開始時点でセットされる。第 4 のレジスタ 8 2₄ にはタイムスロット番号 “3 8 4” が設定されているので、第 3 8 3 タイムスロットの終了した直後にフリップフロップ回路 8 3₂ がリセットされる。

【0063】これにより、第 2 の送信ゲート信号（同図 d）は、下り時分割多重ハイウェイの第 1 8 1 タイムスロットの開始時点から第 3 8 3 タイムスロットの終了直

後までの間、ハイレベルになる。また第 2 の受信ゲート信号（同図 e）は、上り時分割多重ハイウェイの第 1 8 1 タイムスロットの開始時点から第 3 8 3 タイムスロットの終了直後までの間、ハイレベルになる。第 1 の送信ゲート信号が出力されている間に下り時分割多重ハイウェイを通じて到来する第 1 の仮想チャンネルに対応するデータは、図 8 に示した第 1 の送信 F I F O 7 3₁ に入力され蓄積される。第 2 の送信ゲート信号が出力されている間に到来する第 2 の仮想チャンネルのデータは、第 2 の送信 F I F O 7 3₂ に順次蓄積される。このようにして、仮想チャンネルごとにそれぞれ異なる送信 F I F O に時分割多重ハイウェイから到来したデータを振り分けて蓄積することができる。

【0064】一方、第 1 の受信ゲート信号 7 8₁ が出力されている間は、第 1 の受信 F I F O 7 4₁ からデータが読み出され、上り時分割多重ハイウェイに送出される。第 2 の受信ゲート信号 7 8₂ が出力されている間は、第 2 の受信 F I F O 7 4₂ からデータが読み出されて上り時分割多重ハイウェイに送出される。各受信 F I F O には、受信セル同期回路 2 2 によって仮想チャンネル別にセルのデータが蓄積されているので、上り時分割多重ハイウェイの第 1 2 ~ 第 1 7 タイムスロットに第 1 の仮想チャンネルのデータを送出することができる。また第 1 8 1 ~ 第 3 8 3 タイムスロットに第 2 の仮想チャンネルのデータを送り出すことができる。このように、仮想チャンネル別に送信 F I F O および受信 F I F O を設け、それぞれに個別にゲート信号を送ることで、仮想チャンネル別に時分割多重ハイウェイのタイムスロットを使用することができる。また、仮想チャンネル別にその優先度等に応じて A T M 回線との間でセルの送受信を行うことができる。

【0065】以上説明した実施の形態および各変形例では、A T M セルを送受信する送信セル同期回路、受信セル同期回路、フレーム生成回路、フレーム終端回路については詳しい説明を省略したが、これらは、従来から使用されているものをそのまま用いればよい。また、A T M 伝送路の物理的インタフェースについて同様の理由からその説明を省略した。また、時分割多重ハイウェイの信号はシリアル形式、パラレル形式のいずれであっても良い。シリアル形式の場合には、並列-直列変換回路および直列-並列変換回路を必要とし、パラレル形式の場合にはこれらが不要になるに過ぎない。

【0066】また時分割多重ハイウェイの帯域は、実施の形態あるいは変形例で示したものに限られない。第 2 の変形例では、仮想チャンネルが 8 本の場合について説明したが、仮想チャンネルの数に対応可能なだけ、送信 F I F O、受信 F I F O が設けられており、これらに独立にゲート信号が供給されるようになっていれば、仮想チャンネルの数は任意でよい。

【0067】また、上り時分割多重ハイウェイと下り時

23

分割多重ハイウェイの位相差が半周期の場合について説明したが、これら相互間のタイミングの差は任意でよい。たとえば下り時分割多重ハイウェイのフレーム同期信号およびクロック信号を基にして生成した送信ゲート信号、受信ゲート信号を、上り時分割多重ハイウェイのクロック信号によってフリップフロップ回路で打ち直せば、上り時分割多重ハイウェイに対応するゲート信号を位相差に係わらず生成することができる。

【0068】

【発明の効果】このように請求項1記載の発明によれば、セルの伝送に用いるために指定された任意数の連続するタイムスロットの開始位置および終了位置の番号を保持し、開始位置から終了位置の間のタイムスロットを用いてセルの送受信を行っている。このように、開始位置と終了位置だけを保持し、それらの一致だけを検出すれば良いので、装置の構成を簡略化することができる。

【0069】また請求項2記載の発明によれば、指定されたセルのタイムスロットを用いてセルを伝送することができるので、たとえば、セルのトラヒックに応じて指定するタイムスロットの数を変更すれば、時分割多重ハイウェイの回線利用効率を向上させることができる。また、タイムスロットのタイミング、その番号およびタイムスロット番号との一致の検出を一方の時分割多重ハイウェイについて行い、他方の時分割多重ハイウェイに対応するそれらを上り時分割多重ハイウェイと下り時分割多重ハイウェイの間の位相差を基に生成している。これにより、装置の構成を大幅に簡略化することができる。

【0070】また請求項3記載の発明によれば、タイムスロットおよびセルバッファをATM回線の仮想チャンネルごとに異なるものを用いたので、時分割多重ハイウェイによって複数の仮想チャンネルを独立に伝送することができる。また、タイムスロットのタイミング、その番号およびタイムスロット番号との一致の検出を一方の時分割多重ハイウェイについて行い、他方の時分割多重ハイウェイに対応するそれらを上り時分割多重ハイウェイと下り時分割多重ハイウェイの間の位相差を基に生成している。これにより、装置の構成を大幅に簡略化することができる。

【0071】また請求項4記載の発明によれば、タイムスロットおよびセルバッファをATM回線の仮想チャンネルごとに異なるものを用いたので、時分割多重ハイウェイによって複数の仮想チャンネルを独立に伝送することができる。また、セルの伝送に用いるために指定された任意数の連続するタイムスロットの開始位置および終了位置の番号を保持し、開始位置から終了位置の間のタイムスロットを用いてセルの送受信を行っている。このように、開始位置と終了位置だけを保持し、それらの一致だけを検出すれば良いので、装置の構成を簡略化することができる。

【0072】さらに請求項5記載の発明によれば、タイ

24

ムスロットのタイミング、その番号およびタイムスロット番号との一致の検出を一方の時分割多重ハイウェイについて行い、他方の時分割多重ハイウェイに対応するそれらを上り時分割多重ハイウェイと下り時分割多重ハイウェイの間の位相差を基に生成している。これにより、装置の構成を大幅に簡略化することができる。

【0073】また請求項6記載の発明によれば、タイムスロットはセルのトラヒックに応じて連続する複数のタイムスロットの開始位置および終了位置に対応するタイムスロットの番号が指定されるので、トラヒックに応じて効率良く時分割多重ハイウェイを利用することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態における時分割多重ハイウェイのATMインタフェース装置の構成の概要を表わしたブロック図である。

【図2】図1に示したFIFO制御回路の構成の概要を表わしたブロック図である。

【図3】図1に示したATMインタフェース装置を接続した時分割交換機の構成を表わしたブロック図である。

【図4】図1に示したATMインタフェース装置の各部における各種信号の状態を表わした波形図である。

【図5】終了タイムスロット番号が変更された後のATMインタフェース装置の各部における各種信号の状態を表わした波形図である。

【図6】第1の変形例におけるFIFO制御回路の構成の概要を表わしたブロック図である。

【図7】図6に示したFIFO制御回路の各部における各種信号の状態を表わした波形図である。

【図8】複数の仮想チャンネルに対応することのできるATMインタフェース装置の構成の概要を表わしたブロック図である。

【図9】図8に示したFIFO制御回路の構成の概要を表わしたブロック図である。

【図10】図9に示したFIFO制御回路の各部における各種信号状態を表わした波形図である。

【符号の説明】

11 下り時分割多重ハイウェイ

12、13 ATM回線

14 上り時分割多重ハイウェイ

15 直列-並列変換回路

16 送信FIFO

17 送信セル同期回路

18 フレーム生成回路

21 フレーム終端回路

22 受信セル同期回路

23 受信FIFO

24 並列-直列変換回路

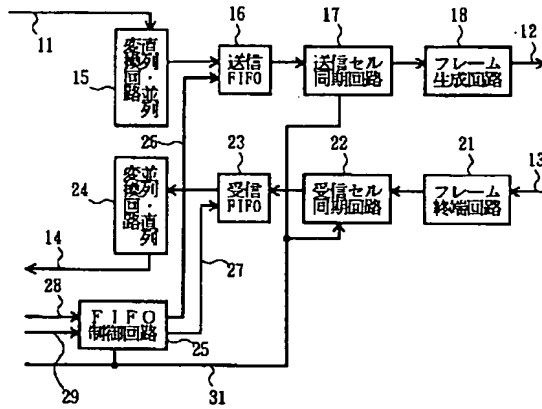
25 FIFO制御回路

26 送信ゲート信号

25

27 受信ゲート信号
28 フレーム同期信号

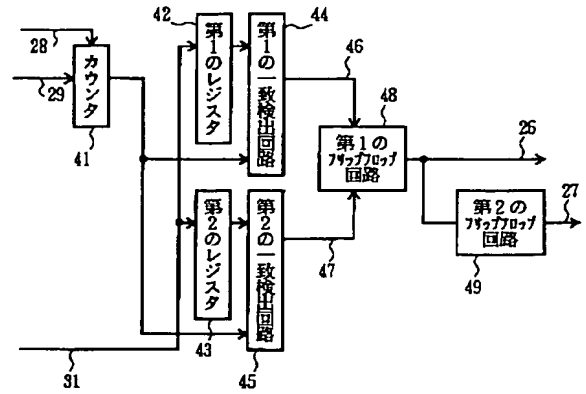
【図 1】



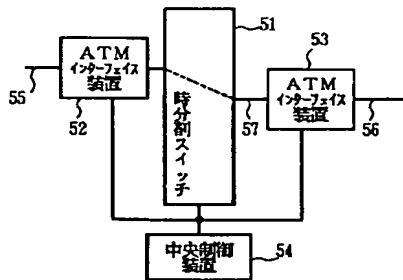
26

29 クロック信号
31 入出力バス

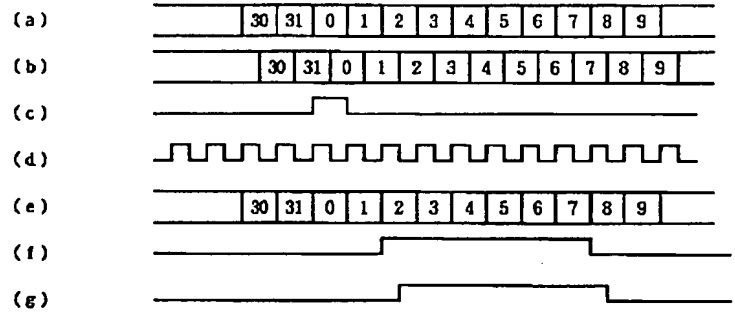
【図 2】



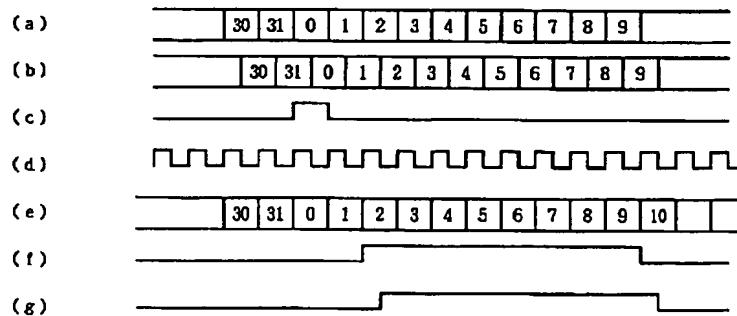
【図 3】



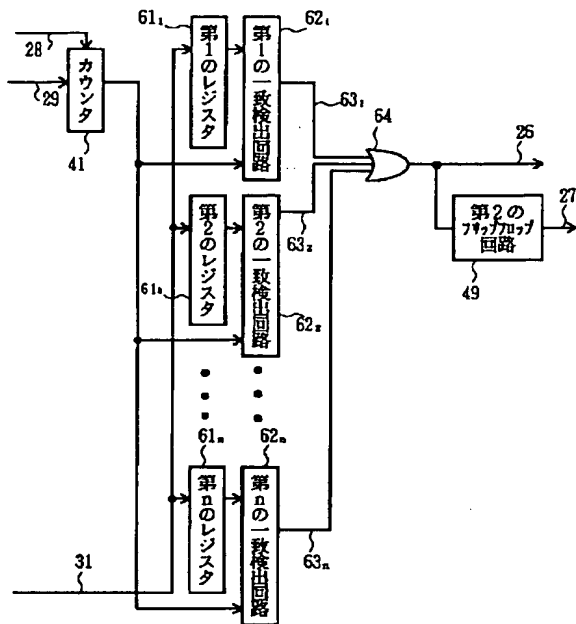
【図 4】



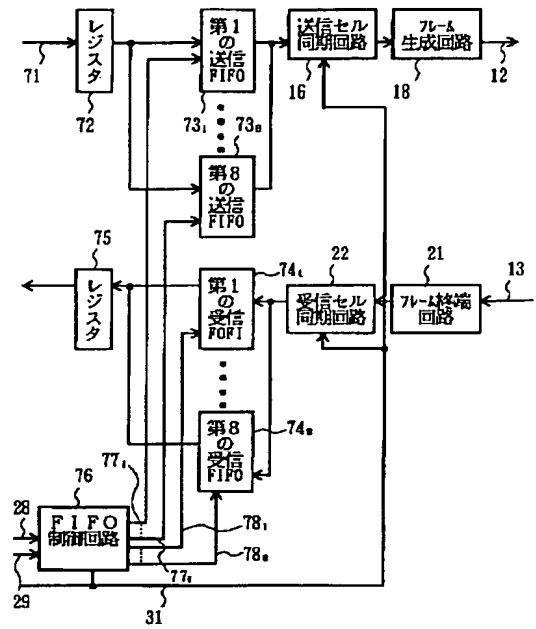
【図 5】



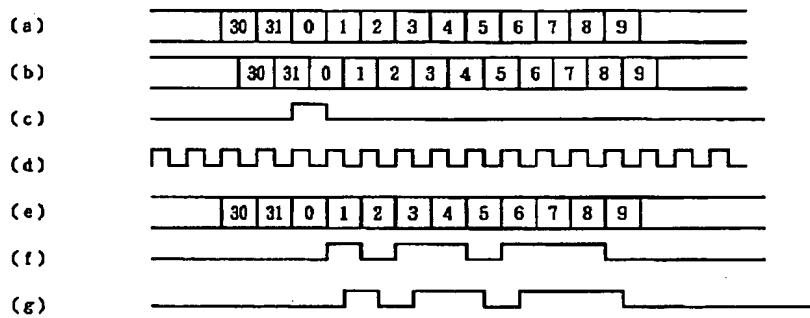
【図 6】



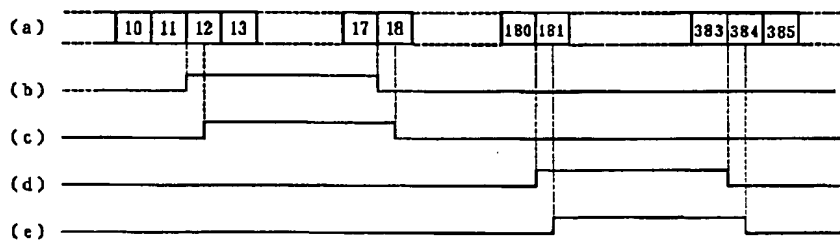
【図 8】



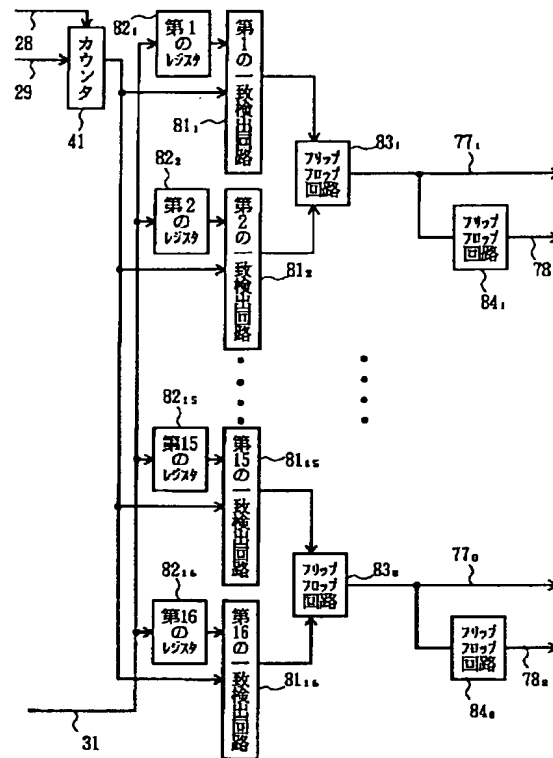
【図 7】



【図 10】



【図 9】



フロントページの続き

(56)参考文献 特開 平2-202145 (JP, A)
 特開 平2-234544 (JP, A)
 特開 昭63-67943 (JP, A)
 特開 昭63-65737 (JP, A)
 特開 昭63-65736 (JP, A)
 特開 平3-70333 (JP, A)
 特公 平5-18495 (JP, B2)
 信学技報 SE84-39
 信学技報 SE83-148

(58)調査した分野(Int.Cl.⁶, DB名)
 H04L 12/56
 H04L 12/28